Anlegen eines Projekts in Quartus

Quartus starten

Menü File

New Project Wizard ...

Eingabe des Arbeitsverzeichnisses

🕥 New Project Wizard	×
Directory, Name, Top-Level Entity	
What is the working directory for this project?	
C:/intelFPGA/DE0-CV/VHDL	
What is the name of this project?	
bsp_01	
What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.	
bsp_01	
Use Existing Project Settings	
< Back Next > Finish Cancel Help	,

Eingabe des Projektnamens (Name der ENTITY)

- ⇒ Button NEXT
- Project Type: Empty Project
- ⇒ Button NEXT

Add Files: keine Eingabe

⇒ Button NEXT

Family, Device & Board Settings

Registerkarte BOARD

"DE0-CV Development Board" auswählen

amily:	Cyclone V		•	Development Kit:	elopment Kit: Any					Any			
vailab	le boards:	Marrian	Freeile	Davias	Mandan	41.84-	Tabel 1/C						
=	Name Atlas-SoC (DE0	1.0	Cyclone V	5CSEMA4U23C6	Terasic	ALMS	314						
=	Cyclone V E FP	1.0	Cyclone V	5CEFA7F31I7	Altera	56480	480						
	Cyclone V GT F	1.0	Cyclone V	5CGTFD9E5F35C7	Altera	113560	616						
	Cyclone V SoC	1.0	Cyclone V	5CSXFC6D6F31C6	Arrow	41910	499						
	Cyclone V SoC	1.0	Cyclone V	5CSXFC6D6F31C6	Altera	41910	499						
	Cyclone V GX S	1.0	Cyclone V	5CGXFC5C6F27C7	Terasic	29080	364						
	DEO-CV Develo	1.0	Cyclone V	5CEBA4F23C7	Terasic	18480	224						
	DE1-SoC Board	1.0	Cyclone V	5CSEMA5F31C6	Altera	32070	457						
Crea	ate top-level desigr	n file.											

WICHTIG: Häkchen bei "Create Top-level design file" entfernen

⇒ Button NEXT

EDA Tool Settings: keine Eingabe

- ⇒ Button NEXT
- ⇒ Finish

Quartus legt nun das neue Projekt an

Menü FILE

New ...



Button OK

Dann öffnet Quartus den Texteditor und ist bereit zur Eingabe

Nach dem Eingeben von LIBRARY, ENTITY und ARCHITECTURE ist der nächste Schritt das Vorbereiten für das Übersetzen des eingegebenen Codes.

Mit der Auswahl des Boards haben wir bereits den richtigen FPGA-Baustein (5CEBA4F23C7) ausgewählt.

Fehlt noch die Zuordnung der Pins des Bausteins zu Signalnamen, unter denen die angeschlossenen Komponenten am Board angesprochen werden können.

Dazu können wir ein vorbereitetes File DE0_CV.qsf importieren:

🕥 Quartus Prime Standard Ed	ition -	C:/Users/Karlheinz Oswald/	/Deskto	p/VHDL-Ser	minar/	Bsp/bs	p_01/bs	;p_01 -	bsp_()1				
File Edit View Project	Ass	ignments Processing T	Tools	Window	Help									
🗋 🗖 🖬 🗲 🗇 💼 🖓	•	Device				5 🚸	STOP	• •	1	\	94	L 🔖	5 #	9
Project Navigator	2	Settings		Ctrl+Shift	+E									
📂 Files	4	Assignment Editor		Ctrl+Shift	+A									
abe bsp_01.vhd	4	Pin Planner		Ctrl+Shift	+N									
Waveform.vwf		Remove Assignments												
	5	Back-Annotate Assignmer	nts											
		Import Assignments												
		Export Assignments												
		Assignment Groups												
	2	Logic Lock Regions Windo	w	Alt+L										
	÷.	Design Partitions Window		Alt+D										
🕥 Import	Assi	anments										\times		

S Import Assignments	×
Specify the source and categories of assignments to import.	
File name: C:/intelFPGA/DE0-CV/VHDL/DE0_CV.qsf Categ	ories
Copy existing assignments into bsp_01.qsf.bak before importing Advar	nced
OK Cancel H	Help

Den Pfad entsprechend dem Speicherort des Files anpassen.

Clock-Signale, f = 50MHz

- CLOCK_50
- CLOCK2_50
- CLOCK3_50
- CLOCK4_50

Signale für das DRAM

- DRAM_ADDR[12..0]
- DRAM_BA[1..0]
- DRAM_CAS_N
- DRAM_CKE
- DRAM_CLK
- DRAM_CS_N
- DRAM_DQ[15..0]
- DRAM_LDQM
- DRAM_RAS_N
- DRAM_UDQM
- DRAM_WE_N

Signale der beiden Stiftleisten

- GPIO_0[35..0]
- GPIO_1[35..0]

Signale der 6 Sieben-Segment-Anzeigen

- HEX0[6..0]
- HEX1[6..0]
- HEX2[6..0]
- HEX3[6..0]
- HEX4[6..0]
- HEX5[6..0]

Signale der 5 Taster

KEY[3..0]

FPGA_RESET_N

Signale der roten LEDs

LEDR[9..0]

Signale der Micro-SD-Karte

SD_CLK

SD_CMD

SD_DATA[3..0]

Signale der PS2-Buchse

PS2_CLK

PS2_DAT

PS2_CLK2

PS2_DAT2

Signale der 10 Schiebeschalter

SW[9..0]

Signale der 9pol. HD SubD-Buchse (VGA)

VGA_B[3..0] VGA_G[3..0] VGA_R[3..0] VGA_HS VGA_VS

Für das erfolgreiche Funktionieren eines Projekts für das TERASIC DE0-CV Board unter Verwendung des Files DE0_CV.qsf **MÜSSEN** die oben angeführten Signalnamen verwendet werden!



Blockdiagramm des TERASIC DE0-CV Boards



Erstes Projekt:

	bsp_01.vhd	\
1	🔲 📅 🏥 💷 🖪 🖆 孢 🖉 🛸 🕅 🗮 📰 📃	
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17	LIBRARY IEEE; USE IEEE.STD_LOGIC_1164.ALL; PORT (SW : IN STD_LOGIC_VECTOR (9 DOWNTO LEDR : OUT STD_LOGIC_VECTOR (9 DOWNTO); END bsp_01; ARCHITECTURE logic OF bsp_01 IS BEGIN LEDR (0) <= SW (0) AND SW (1); LEDR (2) <= SW (2) OR SW (3); LEDR (4) <= NOT SW (4); END logic;	0); ro 0)

Compilieren

🕥 Quartus Prime Standard Edition - C:/Users/Karlheinz Oswald/Desktop/VHDL-Seminar/Bsp/bsp_01/bsp_01 - bsp_01



Starten des Compilers geschieht mit Hilfe des oben gezeigten Icons.

Bei fehlerfreiem Durchlauf kann das Projekt in den Baustein geladen werden.